

日本国特許庁  
JAPAN PATENT OFFICE

#2/Priority  
Paper  
11-21-01  
C.Willb  
J1017 U.S. PTO  
09/960517  
09/24/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年11月27日

出願番号

Application Number:

特願2000-359535

出願人

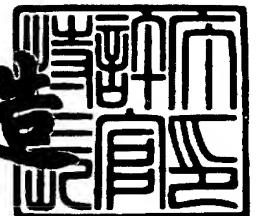
Applicant(s):

シャープ株式会社

2001年 8月 3日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3068732

【書類名】 特許願

【整理番号】 00J03642

【提出日】 平成12年11月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78  
H01L 27/088

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 8

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 青木 仁志

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100065248

【弁理士】

【氏名又は名称】 野河 信太郎

【電話番号】 06-6365-0718

【手数料の表示】

【予納台帳番号】 014203

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003084

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板上にゲート絶縁膜を介して形成された第 1 の電極と、少なくとも前記第 1 の電極上に中間絶縁膜を介して形成された第 2 の電極と、互いに離間して前記半導体基板に形成された一对の第 2 導電型の不純物領域とからなる半導体装置であって、

該不純物領域の少なくとも一方が、前記第 1 の電極直下の領域側から順に低濃度不純物領域、中濃度不純物領域、高濃度不純物領域を隣接して構成されてなる半導体装置。

【請求項 2】 第 1 の電極及び／又は第 2 の電極と高濃度不純物領域との上に導電層が形成されてなる請求項 1 に記載の半導体装置。

【請求項 3】 一对の第 2 導電型の不純物領域の双方が、第 1 の電極直下の領域側から順に低濃度不純物領域、中濃度不純物領域、高濃度不純物領域を隣接して構成されてなる請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 第 1 の電極がメモリトランジスタのフローティングゲート電極、第 2 の電極がメモリトランジスタのコントロールゲート電極として用いられる請求項 1 ～ 3 のいずれか 1 つに記載の半導体装置。

【請求項 5】 (i) 第 1 導電型の半導体基板上に、ゲート絶縁膜を介して第 1 の電極を形成する工程と、

(ii) 該第 1 の電極をマスクとして、第 2 導電型のイオンを注入する工程と、

(iii) 前記半導体基板上に、中間絶縁膜を介して、少なくとも一部が第 1 の電極上に配置する第 2 の電極を形成する工程と、

(iv) 前記第 1 の電極と第 2 の電極が積層された領域における半導体基板には注入されず、かつ第 1 の又は第 2 の電極が単独で形成された領域における半導体基板には注入される注入エネルギーで、第 2 導電型のイオンを注入する工程と、

(v) 第 1 の電極及び第 2 の電極のいずれも通過しない注入エネルギーで、第 2 導電型のイオンを注入する工程とを含んで、

前記第 1 の電極直下の領域側から順に低濃度不純物領域、中濃度不純物領域、

高濃度不純物領域を隣接して構成される少なくとも1つの第2導電型の不純物領域を有する半導体装置を製造することからなる半導体装置の製造方法。

【請求項6】 工程(iv)と(v)の間に、第1及び／又は第2の電極側壁にサイドウォール絶縁膜を形成し、工程(v)で実質的にサイドウォール絶縁膜も通過しない注入エネルギーで、第2導電型のイオンを注入する請求項5に記載の方法。

【請求項7】 工程(iv)と(v)の間に、第1及び／又は第2の電極側壁にサイドウォール絶縁膜を形成し、工程(v)の後に高融点金属膜によるサリサイド工程を行って第1の電極及び／又は第2の電極と高濃度不純物拡散領域との上に導電層を形成する請求項5又は6に記載の方法。

【請求項8】 第2の電極の膜厚を、第1の電極の膜厚よりも薄く形成する請求項5～7のいずれか1つに記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高耐圧トランジスタ構造を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

フラッシュメモリ等の不揮発性半導体メモリや液晶ドライバー等高電圧を扱う半導体装置のうち、高電圧をオペレートするためのトランジスタは、通常の電圧で動作するMOSトランジスタとはその構造が異なっている。このようなトランジスタとしては、例えば、通常のLDD型MOSトランジスタのLDD領域に、通常のサイドウォール幅より大きなオフセット幅をもたせた構造（この部分をオフセット領域と呼ぶ）が挙げられる。

【0003】

具体的には、特開平10-189954号公報に、2層のゲート電極構造を利用してLDDオフセット領域を形成する新規な高耐圧トランジスタ及びその製造方法が記載されている。そして、この高耐圧トランジスタでは、駆動能力劣化を

防止することができ、さらに低抵抗技術の一つであるサリサイドプロセスが適用可能である。

【0004】

このような高耐圧トランジスタの製造方法を図14～図17に示す。

【0005】

まず、図14に示すように、公知の素子分離工程により形成された素子分離酸化膜（図示せず）を有する半導体基板21上に、チャネル注入し、ゲート絶縁膜22を介して第1のポリシリコン23を形成する。

【0006】

次いで、図15に示すように、フォトリソグラフィ工程により第1のゲート電極24を形成する。続いて、高耐圧トランジスタ部のみに開口を有するレジスタパターン（図示せず）を形成し、このレジスタパターンを用いて、イオン注入により高耐圧トランジスタのLDDオフセット領域25を形成する。

【0007】

その後、図16に示すように、中間絶縁膜26を介して第2のポリシリコン膜27を形成する。

【0008】

次いで、図17に示すように、フォトリソグラフィ工程により第1のゲート電極24を覆うように、第2のゲート電極28を形成する。その後、高耐圧トランジスタ部のみに開口を有するレジスタパターン（図示せず）をフォトリソグラフィ工程により形成し、第1及び第2ゲート電極24、28を通過しないエネルギーで、イオン注入し、ソース／ドレイン領域30を形成する。

【0009】

【発明が解決しようとする課題】

しかし、さらなる微細化の進展に伴って、熱処理による不純物の広範囲の拡散を防止するために低温で熱処理を行う製造プロセスの低温化が行われるなかで、熱処理による拡散プロファイルのブロード化による接合耐圧向上は困難になりつつあり、上記の高耐圧トランジスタを適用しても、必要な耐圧を十分確保できない場合が生じてきた。

【 0 0 1 0 】

また、例えば不純物イオンを高エネルギーでより深く注入して、ソース／ドレイン領域の接合深さを確保しようとしても、イオン注入のセルフアラインマスクとして用いられるゲート電極の膜厚が、微細加工性の向上やゲート電極空乏化低減のため、薄くなる傾向にあり、十分な対策にはならない。

【 0 0 1 1 】

このような状況下、より微細プロセスに適した高耐圧のトランジスタ及びその製造方法が求められている。

【 0 0 1 2 】

【課題を解決するための手段】

本発明によれば、第 1 導電型の半導体基板上にゲート絶縁膜を介して形成された第 1 の電極と、少なくとも前記第 1 の電極上に中間絶縁膜を介して形成された第 2 の電極と、互いに離間して前記半導体基板に形成された一対の第 2 導電型の不純物領域とからなる半導体装置であって、

該不純物領域の少なくとも一方が、前記第 1 の電極直下の領域側から順に低濃度不純物領域、中濃度不純物領域、高濃度不純物領域を隣接して構成されてなる半導体装置が提供される。

【 0 0 1 3 】

また、本発明によれば、(i) 第 1 導電型の半導体基板上に、ゲート絶縁膜を介して第 1 の電極を形成する工程と、

(ii) 該第 1 の電極をマスクとして、第 2 導電型のイオンを注入する工程と、

(iii) 前記半導体基板上に、中間絶縁膜を介して、少なくとも一部が第 1 の電極上に配置する第 2 の電極を形成する工程と、

(iv) 前記第 1 の電極と第 2 の電極が積層された領域における半導体基板には注入されず、かつ第 1 の又は第 2 の電極が単独で形成された領域における半導体基板には注入される注入エネルギーで、第 2 導電型のイオンを注入する工程と、

(v) 第 1 の電極及び第 2 の電極のいずれも通過しない注入エネルギーで、第 2 導電型のイオンを注入する工程とを含んで、

前記第 1 の電極直下の領域側から順に低濃度不純物領域、中濃度不純物領域、

高濃度不純物領域を隣接して構成される少なくとも1つの第2導電型の不純物領域を有する半導体装置を製造することからなる半導体装置の製造方法が提供される。

#### 【0014】

##### 【発明の実施の形態】

本発明の半導体装置は、主として、第1導電型半導体基板と、ゲート絶縁膜と、第1の電極と、中間絶縁膜と、第2の電極と、互いに離間する一对の第2導電型の不純物領域とから主として構成される。このような半導体装置は、いわゆるMOS型の高耐圧トランジスタであり、P型、N型のいずれであってもよい。

#### 【0015】

本発明の半導体装置に使用することができる半導体基板としては、通常、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体、GaAs、InGaAs、ZnSe等の化合物半導体が挙げられる。なかでもシリコン基板が好ましい。また、SOI基板又は多層SOI基板等であってもよい。この半導体基板（又はSOI基板等の表面半導体層）上には、素子分離領域が形成されていることが好ましく、さらにトランジスタ、キャパシタ、抵抗等の素子、これらによる回路、半導体装置、層間絶縁膜、配線層等が組み合わせられて、シングル又はマルチレイヤー構造で形成されていてもよい。なお、素子分離領域は、LOCOS膜、トレンチ酸化膜、STI膜等種々の素子分離膜により形成することができる。さらに、本発明の半導体基板は、第1導電型であって、適当なシート抵抗に設定されていることが好ましい。ここで、第1導電型とは、P型又はN型のいずれかの導電型を意味する。

#### 【0016】

本発明におけるゲート絶縁膜は、半導体装置等においてゲート絶縁膜やトンネル絶縁膜等として機能し得る絶縁膜であればよく、中間絶縁膜は、少なくとも第1の電極と第2の電極との間に配置して、両者の絶縁性を確保することができるものであればよい。これらゲート絶縁膜及び中間絶縁膜は、例えば、シリコン酸化膜（熱酸化膜、低温酸化膜：LTO膜等、高温酸化膜：HTO膜）、シリコン窒化膜、SOG膜、PSG膜、BSG膜、BPSG膜等の単層膜又は積層膜等の

中から選択することができる。また、膜厚は、その機能に応じて設定することができ、それぞれ例えば、5～50 nm程度、5～50 nm程度が挙げられる。なお、中間絶縁膜は、第1の電極を含む半導体基板上の略全面に形成されていてもよいし、一部の領域にのみ形成されていてもよい。また、中間絶縁膜は、後述する第2の電極を加工する際のエッチングストッパとして機能し得る材料を選択することが好ましい。

## 【0017】

本発明における第1の電極は、通常のMOSトランジスタのゲート電極やキャパシタ用電極、抵抗素子、メモリトランジスタのフローティングゲート電極等として機能し得るものであればよく、第2の電極は、通常のMOSトランジスタのゲート電極やキャパシタ用電極、抵抗素子、メモリトランジスタのコントロールゲート電極等として機能し得るものであればよい。これらの第1の電極及び第2の電極は、例えば、アモルファス、単結晶又は多結晶のN型又はP型の元素半導体（例えば、シリコン、ゲルマニウム等）又は化合物半導体（例えば、GaAs、InP、ZnSe、CsS等）；金、白金、銀、銅、アルミニウム等の金属；チタン、タンタル、タングステン等の高融点金属；高融点金属とのシリサイド、ポリサイド等の単層膜又は積層膜により形成することができる。なかでも、シリコン膜、又はその表面の全部もしくは一部が高融点金属とのシリサイド膜で形成されたシリコン膜が好ましい。第1及び第2の電極の膜厚は、例えば、100～400 nm程度の範囲から設定することができ、第1の電極の膜厚が、第2の電極の膜厚よりも大きいことが好ましい。第1の電極及び第2の電極の形状及び大きさは、両電極の機能、印加電圧、材料、膜厚に応じて、得ようとする半導体装置の微細化等を考慮して、適宜決定することができる。例えば、第1の電極は、通常、矩形等が挙げられる。第2の電極の形状及び大きさは、第1の電極をほぼ完全に覆い、さらに第1の電極の片側又は両側に位置する半導体基板上にまで達していてもよいし、第1の電極上にのみ配置していてもよい。

## 【0018】

第1の電極及び／又は第2の電極は、その側壁にサイドウォール絶縁膜が形成されていてもよい。サイドウォール絶縁膜の膜厚は、第1及び第2の電極の膜厚



、これら電極に印加する電圧等により適宜調整することができる。また、第1の電極及び／又は第2の電極の表面の一部又は全部に、導電層（金属膜、高融点金属膜、高融点金属膜とのシリサイド膜等）が形成されていてもよい。導電層の厚みは、第1及び第2の電極の膜厚、材料等により適宜調整することができるが、例えば、10～200nm程度が適当である。

## 【0019】

本発明における第2導電型の不純物領域は、2つの不純物領域が互いに離間して配置する。つまり、第1及び第2の電極の両側において、チャンネル領域を挟んで互いに離間されている。ここで、第2導電型とは、半導体基板がN型であればP型を意味し、P型であればN型を意味する。これらの2つの不純物拡散層の一方又は双方が、チャンネル領域側、つまり第1の電極直下の領域側から順に低濃度不純物領域、中濃度不純物領域、高濃度不純物領域を隣接して配置するように構成されている。なお、この不純物領域は、上記配置を有する限り、低濃度、中濃度及び高濃度不純物拡散層の半導体基板の垂直方向、平面方向、斜め方向に隣接して濃度の異なる不純物拡散層をさらに有していてもよい。

## 【0020】

低濃度不純物領域は、通常、比較的不純物濃度が低いオフセット領域として機能し得る領域であればよく、例えば、不純物濃度 $10^{18}$ ions/cm<sup>3</sup>オーダー程度が挙げられ、チャンネル領域に隣接し、かつ少なくとも半導体基板の表面に配置していることが好ましい。なお、第2の電極が第1の電極上にのみ配置している場合には、低濃度不純物領域は、チャンネル領域に隣接する半導体基板の表面から、後述する中濃度不純物領域及び高濃度不純物領域を取り囲むように、半導体基板の内部に渡って形成されていてもよい。低濃度不純物領域の深さは、半導体基板の表面から100～600nm程度が挙げられる。

## 【0021】

中濃度不純物領域は、通常、低濃度不純物領域よりも不純物濃度が高いオフセット領域として機能し得る領域であればよく、例えば、不純物濃度 $1 \times 10^{18} \sim 10^{19}$ ions/cm<sup>3</sup>程度で、低濃度不純物領域に隣接するように配置していることが好ましい。また、中濃度不純物領域は、半導体表面にのみ形成されてい

てもよいし、半導体基板表面から、後述する高濃度不純物領域を取り囲むように、半導体基板の内部に渡って形成されていてもよいし、低濃度不純物領域に部分的に又は全体的に取り囲まれるように形成されていてもよい。中濃度不純物領域の深さは、半導体基板の表面から100～600nm程度が挙げられる。

#### 【0022】

さらに、高濃度不純物領域は、通常、中濃度不純物領域よりも不純物濃度が高く、ソース／ドレイン領域として機能し得る領域であればよく、例えば、不純物濃度 $1 \times 10^{20} \sim 10^{21} \text{ ions/cm}^3$ 程度で、中濃度不純物領域に隣接するように配置していることが好ましい。また、高濃度不純物領域は、半導体表面にのみ形成されていることが好ましく、その一部又は全表面に上述したような導電層が形成されていてもよい。高濃度不純物領域の半導体表面からの深さは、100～400nm程度が挙げられ、表面に導電層が形成されている場合には、導電層の膜厚は10～200nm程度が適当である。高濃度不純物領域は、低濃度及び中濃度不純物領域で取り囲まれるように配置してもよいし、低濃度不純物領域のみで取り囲まれるように配置してもよい。

#### 【0023】

また、本発明の半導体装置の製造方法においては、まず、工程(i)において、第1導電型の半導体基板上に、ゲート絶縁膜を介して第1の電極を形成する。ゲート絶縁膜は、その材料により異なるが、熱酸化法、CVD法、スパッタリング法、蒸着法等、種々の方法によって形成することができる。第1の電極は、通常のMOSトランジスタ等においてゲート電極を形成する方法と同様に形成することができる。

#### 【0024】

工程(ii)において、第1の電極をマスクとして、第2導電型のイオンを注入する。第2導電型のイオンとしては、例えば、リン、砒素等のN型又はボロン、 $\text{BF}_2$ 等のP型のイオンが挙げられる。ここでのイオン注入は、通常、低濃度不純物領域を形成するために行われるものであり、例えば、上記の低濃度不純物領域を形成するために、5～40keVの注入エネルギー、 $5 \times 10^{12} \sim 10^{13} \text{ ions/cm}^2$ 程度のドーズが挙げられる。

## 【0025】

なお、工程(iii)において、第1の電極上にのみ第2の電極が形成される場合には、ここでのイオン注入は、低濃度不純物領域以外、例えば、中濃度不純物領域を形成するために行われることもある。その場合には、 $1 \times 10^{13} \sim 10^{14}$  ions/cm<sup>2</sup>程度のドーズでイオン注入することが適当である。

## 【0026】

工程(iii)において、半導体基板上に、中間絶縁膜を介して、少なくとも一部が第1の電極上に配置する第2の電極を形成する。ここで形成する中間絶縁膜は、ゲート絶縁膜と同様の方法で形成することができる。また、第2の電極の形成は、実質的に第1の電極の形成と同様に行うことができる。

## 【0027】

工程(iv)において、再度第2導電型のイオンを注入する。ここでのイオン注入は、第1の電極と第2の電極が積層された領域における半導体基板には注入されず、かつ第1の又は第2の電極が単独で形成された領域における半導体基板には注入されるような条件を選択してイオン注入することが必要である。第1の電極及び第2の電極の膜厚及び材料、中間絶縁膜の膜厚等によるが、例えば、40～200 keV程度の注入エネルギーが挙げられる。ここでのイオン注入は、通常、中濃度不純物領域を形成するために行われるものであり、例えば、上記の中濃度不純物領域を形成するために、 $1 \times 10^{13} \sim 2 \times 10^{14}$  ions/cm<sup>2</sup>程度のドーズが挙げられる。なお、第1の電極上にのみ第2の電極が形成される場合には、ここでのイオン注入は、中濃度不純物領域以外、例えば、低濃度不純物領域を形成するために行われることもある。その場合には、40～200 keV程度の注入エネルギー、 $5 \times 10^{12} \sim 1 \times 10^{14}$  ions/cm<sup>2</sup>程度のドーズでイオン注入することが適当である。

## 【0028】

工程(v)においては、さらに、第2導電型のイオンを注入する。ここでのイオン注入は、第1の電極及び第2の電極のいずれも通過しない条件を選択してイオン注入することが必要である。第1の電極及び第2の電極の膜厚及び材料、中間絶縁膜の膜厚等によるが、例えば、3～80 keV程度の注入エネルギーが挙

げられる。ここでのイオン注入は、通常、高濃度不純物領域を形成するために行われるものであり、例えば、上記の高濃度不純物領域を形成するために、 $1 \sim 5 \times 10^{15} \text{ ions/cm}^2$ 程度のドーズが挙げられる。

## 【 0 0 2 9 】

上記の工程を行うことにより、第 1 の電極の両側で互いに離間する 2 つの第 2 導電型の不純物領域であって、その少なくとも一方が、第 1 の電極直下の領域側から順に低濃度不純物領域、中濃度不純物領域、高濃度不純物領域を隣接して構成されてなる不純物領域を有する半導体装置を製造することができる。

## 【 0 0 3 0 】

なお、本発明においては、上記工程 (i) ~ (v) は必ずしもこの順で行うことは必要ではなく、例えば、工程 (iv) と (v) とを入れ替えてもよいし、これらの工程の間に、半導体プロセスで必要とされる工程、例えば、熱処理、フォトリソ工程、さらなるイオン注入等を適宜追加することができる。

## 【 0 0 3 1 】

例えば、工程 (i) ~ (v) をこの順で行うとともに、工程 (iv) と (v) との間に、第 1 及び／又は第 2 の電極側壁にサイドウォール絶縁膜を形成してもよい。サイドウォール絶縁膜は、当該分野で公知の方法を利用して形成することができる。このようにサイドウォール絶縁膜を形成した後、工程 (v) で実質的にサイドウォール絶縁膜も通過しない注入エネルギーで、第 2 導電型のイオンを注入することにより、不純物領域のオフセットを所望の幅に形成することができる。

## 【 0 0 3 2 】

特に、工程 (iii) で形成する第 2 電極が第 1 電極上にのみ配置する場合には、サイドウォール絶縁膜を形成し、その後に工程 (v) のイオン注入をすることにより、確実に、低濃度、中濃度及び高濃度不純物領域からなる第 2 導電型の不純物領域を形成することができる。また、工程 (iii) で形成する第 2 電極が第 1 電極上から半導体基板上に渡って配置する場合には、サイドウォール絶縁膜を形成し、その後に工程 (v) のイオン注入をすることにより、低濃度、中濃度及び高濃度不純物領域に加えて、さらに濃度の異なる不純物領域を形成することができる。

## 【 0 0 3 3 】

また、工程(i)～(v)をこの順で行うとともに、工程(iv)と(v)の間に、サイドウォール絶縁膜を形成し、工程(v)の後に高融点金属膜によるサリサイド工程を行うことが好ましい。これにより、いわゆるオフセット領域への導電層の形成を阻止しながら、第1の電極及び／又は第2の電極と高濃度不純物拡散領域との上にのみ導電層を形成することが可能となる。なお、ゲート電極側面等の不所望のシリサイド化による特性の劣化等を防止することができれば、工程(v)の後のサリサイド工程は、必ずしも工程(iv)と(v)の間にサイドウォール絶縁膜を形成した後に行わなくてもよい。

## 【 0 0 3 4 】

以下、本発明の半導体装置及びその製造方法の実施の形態を図面に基づいて詳述する。

## 実施例 1

本発明の半導体装置としてMOS型の高耐圧トランジスタ及びその製造方法を説明する。

## 【 0 0 3 5 】

このトランジスタは、図4に示したように、半導体基板1上に、ゲート絶縁膜2を介して第1のゲート電極4が形成されており、第1のゲート電極4上には、中間絶縁膜6を介して第2のゲート電極8が形成されている。なお、第2のゲート電極は、第1のゲート電極4を被覆するとともに、半導体基板1上に渡って配置している。また、半導体基板1の表面の第1のゲート電極4の両側には、互いに離間して形成された一对の不純物領域が形成されている。不純物領域は、第1のゲート電極4直下の領域側から低濃度オフセット領域5、中濃度オフセット領域9、ソース／ドレイン領域10を隣接して構成されている。

## 【 0 0 3 6 】

このトランジスタの製造方法を、以下に説明する。

## 【 0 0 3 7 】

まず、公知の素子分離領域形成工程により素子分離酸化膜(図示せず)が形成された半導体基板1にチャネル注入等を行う。その後、図1に示すように、高耐

圧トランジスタ用のゲート絶縁膜2を介して第1のポリシリコン膜3を形成する。

#### 【0038】

図2に示すように、フォトリソグラフィ工程により第1のゲート電極4を形成する。第1ゲート電極4の膜厚は、例えば200nmとする。

#### 【0039】

次に、NMOS高耐圧トランジスタ部のみに開口を有したレジストパターン（図示せず）を、フォトリソグラフィ工程により形成し、このレジストパターンをマスクとして用いて、Pイオンを50keVの注入エネルギー、 $8 \times 10^{12} \text{ cm}^{-2}$ のドーズでイオン注入し、PMOS高耐圧トランジスタの低濃度オフセット領域5を形成する。

#### 【0040】

同様に、PMOS高耐圧トランジスタ部のみに開口を有したレジスタパターン（図示せず）を、フォトリソグラフィ工程により形成し、このレジストパターンをマスクとして用いて、Bイオンを20keVの注入エネルギー、 $8 \times 10^{12} \text{ cm}^{-2}$ のドーズでイオン注入し、NMOS高耐圧トランジスタの低濃度オフセット領域（図示せず）を形成する。

#### 【0041】

続いて、図3に示すように、得られた半導体基板1上全面に、中間絶縁膜6を介して第2のポリシリコン膜を形成し、フォトリソグラフィ工程により第2のゲート電極8を形成する。第2ゲート電極の膜厚は、例えば150nmとする。第2のゲート電極は、第1ゲート電極4を被覆し、さらに第1ゲート電極4の両側の半導体基板1上に達するように形成する。次に、NMOS高耐圧トランジスタ部のみに開口を有したレジスタパターン（図示せず）をフォトリソグラフィにより形成し、このレジストパターンをマスクとして用いて、Pイオンを、各ゲート電極単独の部分では通過し、積層部分では通過しない注入エネルギー、例えば150keVの注入エネルギーで、 $2 \times 10^{13} \text{ cm}^{-2}$ のドーズでイオン注入し、第2の中濃度オフセット領域9を形成する。

#### 【0042】

次いで、図4に示すように、Asイオンを、各ゲート電極を通過しない注入エネルギー、例えば、50keVの注入エネルギーで、 $3 \times 10^{15} \text{ cm}^{-2}$ のドーズでイオン注入し、ソース／ドレイン領域10を形成する。

## 【0043】

同様に、PMOS高耐圧トランジスタ部においても、例えば、Bイオンを60keVの注入エネルギーで、 $2 \times 10^{13} \text{ cm}^{-2}$ でイオン注入して第2のPMOSオフセット領域（図示せず）を形成し、さらに、例えば、BF<sub>2</sub>イオンを30keVの注入エネルギーで、 $3 \times 10^{15} \text{ cm}^{-2}$ でイオン注入してソース／ドレイン領域（図示せず）を形成する。

## 【0044】

さらに、活性化アニール、層間膜形成、コンタクトホール形成、メタル配線形成、多層配線形成、保護膜形成等を経て半導体装置の前半工程（ウェハー工程）を完了し、最後に、後半工程であるアセンブリ工程を行って、半導体装置を完成させる。

## 【0045】

## 実施例2

この実施例における半導体装置は、図6に示したように、第2のゲート電極8の側壁にサイドウォール絶縁膜11が形成されており、ソース／ドレイン領域10の表面及び第2のゲート電極8の表面にシリサイド層12を有している以外は実施例1で得られた半導体装置と実質的に同様である。

## 【0046】

この半導体装置の製造方法は、実施例1における製造方法に、いわゆるサイサイドプロセスを適用したものであり、以下に説明する。

## 【0047】

実施例1でのソース／ドレイン領域10形成工程（図4）までは同じ工程で、NMOS高耐圧トランジスタ及びPMOS高耐圧トランジスタを形成する。

## 【0048】

その後、図5に示すように、得られた半導体基板1上全面にシリコン窒化膜を形成し、エッチバックすることにより、第2のゲート電極8の側壁にサイドウォ

ール絶縁膜 11 を形成する。このとき、第 2 ゲート電極 8 とソース／ドレイン領域 10 の表面にはシリコンが露出した状態となっている。

【0049】

続いて、得られた半導体基板 1 上全面に Ti 膜を形成し、熱処理を行ってシリコン及びポリシリコン（ゲート電極）と反応させ、その後に絶縁膜上の未反応の Ti 膜を酸等で除去することにより、図 6 に示すように、露出しているシリコンのみの上に、セルフアラインでシリサイド層 12 を形成する。

【0050】

### 実施例 3

この実施例の半導体装置は、図 7 に示すように、第 2 のゲート電極 8 が、第 1 のゲート電極 4 の片側の半導体基板 1 上にのみ延設されており、第 2 のゲート電極 8 が形成されていない側の不純物領域が、低濃度オフセット領域 5、中濃度オフセット領域 9、ソース／ドレイン領域 10 を隣接して構成されておらず、低濃度オフセット領域 5 は中濃度オフセット領域 9 内に含まれる構造となっている以外は、実質的に実施例 1 の半導体装置と同様である。

【0051】

この半導体装置の製造方法を、以下に説明する。

【0052】

実施例 1 と同様に、第 1 のゲート電極 4 及び第 1 の LDD オフセット領域 5 を形成した半導体基板 1 上全面に中間絶縁膜 6 を介して第 2 のポリシリコン膜を形成する。

【0053】

続いて、図 7 に示すように、フォトリソグラフィ工程により第 2 のゲート電極 8 を形成する。第 2 のゲート電極 8 は、第 1 のゲート電極 4 の一部を被覆し、さらに第 1 のゲート電極 4 の片側の半導体基板 1 上に達するように形成する。

【0054】

その後、実施例 1 と同様に半導体装置を完成させる。

【0055】

### 実施例 4



この実施例における半導体装置は、図 9 に示したように、第 2 のゲート電極 8 の側壁にサイドウォール絶縁膜 1 1 が形成されており、ソース／ドレイン領域 1 0 の表面、第 1 のゲート電極の露出する表面及び第 2 のゲート電極 8 の表面にシリサイド層 1 2 を有している以外は実施例 3 で得られた半導体装置と同様である。

#### 【 0 0 5 6 】

この半導体装置の製造方法は、実施例 3 における製造方法に、いわゆるサイサイドプロセスを適用したものであり、以下に説明する。

#### 【 0 0 5 7 】

実施例 3 と同様に、ソース／ドレイン領域 1 0 を形成し（図 7）、NMOS 高耐圧トランジスタ及び PMOS 高耐圧トランジスタを形成する。

#### 【 0 0 5 8 】

その後、図 8 に示すように、得られた半導体基板 1 上全面にシリコン窒化膜を形成し、エッチバックすることにより、第 2 のゲート電極 8 の側壁及び第 2 のゲート電極 8 で被覆されていない第 1 のゲート電極 4 の側壁にサイドウォール絶縁膜 1 1 を形成する。

#### 【 0 0 5 9 】

続いて、実施例 2 のサリサイドプロセスと同様に、図 9 に示すように、露出しているシリコンのみの上に、セルフアラインでシリサイド層 1 2 を形成する。

#### 【 0 0 6 0 】

このように、第 2 のゲート電極 8 を、第 1 のゲート電極 4 に対して片側のみ重ね合わせることで、第 1 のゲート電極 4 と第 2 のゲート電極 8 との膜厚を異ならせることで、オフセット領域の実効注入量を異ならせることができ、ソース領域とドレイン領域との耐圧を変えた半導体装置を製造することが可能となり、設計の自由度が向上する。

#### 【 0 0 6 1 】

#### 実施例 5

この実施例の半導体装置は、図 1 2 に示すように、第 2 のゲート電極 8 が、第 1 のゲート電極 4 上にのみ形成されており、第 1 のゲート電極 4 及び第 2 のゲ

ト電極 8 の側壁にサイドウォール 1 1 が形成されており、さらに、不純物領域が、図 4 とは異なる形状で、低濃度オフセット領域 1 4、中濃度オフセット領域 1 3、ソース／ドレイン領域 1 0 を隣接して構成されている以外は、実質的に実施例 1 の半導体装置と同様である。

## 【 0 0 6 2 】

この半導体装置の製造方法を、以下に説明する。

## 【 0 0 6 3 】

実施例 1 に準じて、図 1 0 に示すように、第 1 のゲート電極 4 及び中濃度オフセット領域 1 3 を形成した半導体基板 1 上全面に中間絶縁膜 6 を介して第 2 のポリシリコン膜を形成する。

## 【 0 0 6 4 】

続いて、図 1 1 に示すように、フォトリソグラフィ工程により第 2 のゲート電極 8 を、第 1 ゲート電極 4 上にのみ配置するように形成する。その後、実施例 1 に準じて低濃度オフセット領域 1 4 を形成する。

## 【 0 0 6 5 】

次いで、図 1 2 に示すように、実施例 2 と同様に第 1 のゲート電極 4 及び第 2 のゲート電極 8 の側壁にサイドウォール絶縁膜 1 1 を形成し、これら第 1 のゲート電極 4、第 2 のゲート電極 8 及びサイドウォール絶縁膜 1 1 をマスクとしてイオン注入してソース／ドレイン領域 1 0 を、形成する。

## 【 0 0 6 6 】

その後、実施例 1 と同様に半導体装置を完成させる。

## 【 0 0 6 7 】

## 実施例 6

この実施例における半導体装置は、図 1 3 に示したように、ソース／ドレイン領域 1 0 の表面、第 1 のゲート電極の露出する表面及び第 2 のゲート電極 8 の表面にシリサイド層 1 2 を有している以外は実施例 5 で得られた半導体装置と同様である。

## 【 0 0 6 8 】

この半導体装置は、実施例 5 における製造方法に、実施例 2 のいわゆるサイサ

イドプロセスを適用することにより製造することができる。

【 0 0 6 9 】

【発明の効果】

本発明によれば、不純物領域の少なくとも一方が、前記第 1 の電極直下の領域側から順に低濃度不純物領域、中濃度不純物領域、高濃度不純物領域を隣接して構成されてなるため、いわゆるオフセット領域の不純物濃度が緩和され、より高耐圧の半導体装置を得ることができ、いっそうの性能向上及び信頼性が確保された半導体装置を得ることが可能となる。また、第 1 の電極と第 2 の電極のオーバーラップ量を選択することで、高耐圧接合の種類を選択することができ、耐圧の質及び程度を変化させることができ、設計要求に応じた半導体装置を得ることができる。

【 0 0 7 0 】

第 1 の電極及び／又は第 2 の電極と高濃度不純物領域との上に導電層が形成されている場合には、配線の低抵抗化を図ることができるため、より高速動作が可能な半導体装置を得ることができる。

【 0 0 7 1 】

また、一対の第 2 導電型の不純物領域の双方が、第 1 の電極直下の領域側から順に低濃度不純物領域、中濃度不純物領域、高濃度不純物領域を隣接して構成されている場合には、特に、第 1 の電極の両側において半導体基板上への第 2 の電極のオーバーラップ量を変化させることで、ソース領域とドレイン領域との耐圧を変えた、設計の自由度が向上した半導体装置を得ることができ、設計要求に応じての使い分けが可能となる。

【 0 0 7 2 】

さらに、第 1 の電極がメモリトランジスタのフローティングゲート電極、第 2 の電極がメモリトランジスタのコントロールゲート電極として用いられる場合には、通常のメモリトランジスタの製造プロセスによって、高耐圧の半導体装置を実現することができる。

【 0 0 7 3 】

また、本発明の半導体装置の製造方法によれば、複数回のイオン注入を行うた

め、不純物濃度の分布をより緩やかにすることができる。また、不純物領域を、併せて3重拡散とできるので、低温の熱処理のみでも濃度分布をよりブロードにすることができ、より低温化された、より微細なプロセスにおいても、いわゆるオフセット領域の不純物濃度の分布をさらに緩やかにできる。しかも、第1の電極と第2の電極が積層された領域における半導体基板には注入されず、かつ第1の又は第2の電極が単独で形成された領域における半導体基板には注入される注入エネルギーで第2導電型のイオンを注入するため、不純物領域の接合深さを大きくすることができる。よって、高耐圧トランジスタの性能をさらに向上させることが可能となる。

## 【0074】

特に、工程(iv)と(v)の間に、第1及び／又は第2の電極側壁にサイドウォール絶縁膜を形成し、工程(v)で実質的にサイドウォール絶縁膜も通過しない注入エネルギーで、第2導電型のイオンを注入する場合には、不純物領域の3重拡散を確実にすることができ、あるいは不純物領域のさらなる不純物濃度の分布の緩和を図ることが可能となる。

## 【0075】

また、工程(iv)と(v)の間に、第1及び／又は第2の電極側壁にサイドウォール絶縁膜を形成し、工程(v)の後に高融点金属膜によるサリサイド工程を行う場合には、特別なサリサイドプロセス用の追加マスクを形成することなく、第1の電極及び／又は第2の電極と高濃度不純物拡散領域との上にのみ、つまり、所望の領域にのみ導電層を形成することができ、オフセット高抵抗領域を確保しながら、配線の低抵抗化を図ることができる。よって、より高速動作する半導体装置を簡便な製造方法で製造することができる。

## 【0076】

さらに、第2の電極の膜厚を、第1の電極の膜厚よりも薄く形成する場合には、容易に、半導体基板への不純物の注入又は注入の阻止を制御することが可能となる。

## 【図面の簡単な説明】

## 【図1】

本発明の半導体装置の製造方法の第 1 の実施例を説明するための要部の概略断面工程図である。

【図 2】

本発明の半導体装置の製造方法の第 1 の実施例を説明するための要部の概略断面工程図である。

【図 3】

本発明の半導体装置の製造方法の第 1 の実施例を説明するための要部の概略断面工程図である。

【図 4】

本発明の半導体装置の製造方法の第 1 の実施例を説明するための要部の概略断面工程図である。

【図 5】

本発明の半導体装置の製造方法の第 2 の実施例を説明するための要部の概略断面工程図である。

【図 6】

本発明の半導体装置の製造方法の第 2 の実施例を説明するための要部の概略断面工程図である。

【図 7】

本発明の半導体装置の製造方法の第 3 の実施例を説明するための要部の概略断面工程図である。

【図 8】

本発明の半導体装置の製造方法の第 4 の実施例を説明するための要部の概略断面工程図である。

【図 9】

本発明の半導体装置の製造方法の第 4 の実施例を説明するための要部の概略断面工程図である。

【図 1 0】

本発明の半導体装置の製造方法の第 5 の実施例を説明するための要部の概略断面工程図である。

【図 1 1】

本発明の半導体装置の製造方法の第 5 の実施例を説明するための要部の概略断面工程図である。

【図 1 2】

本発明の半導体装置の製造方法の第 5 の実施例を説明するための要部の概略断面工程図である。

【図 1 3】

本発明の半導体装置の製造方法の第 6 の実施例を説明するための要部の概略断面工程図である。

【図 1 4】

従来例の半導体装置を示す要部の製造工程断面図である。

【図 1 5】

従来例の半導体装置を示す要部の製造工程断面図である。

【図 1 6】

従来例の半導体装置を示す要部の製造工程断面図である。

【図 1 7】

従来例の半導体装置を示す要部の製造工程断面図である。

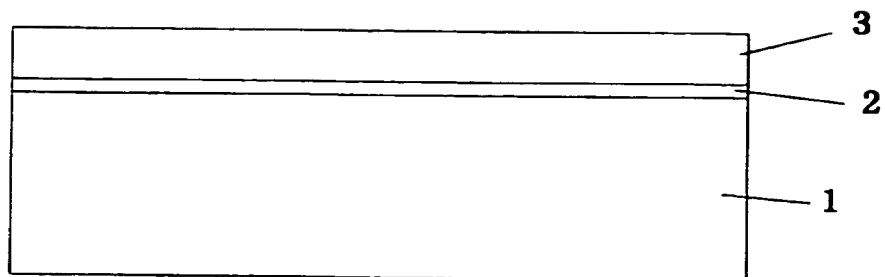
【符号の説明】

- 1 半導体基板
- 2 ゲート絶縁膜
- 3 第 1 ポリシリコン膜
- 4 第 1 のゲート電極（第 1 の電極）
- 5、1 4 低濃度オフセット領域（低濃度不純物領域）
- 6 中間絶縁膜
- 7 第 2 ポリシリコン膜
- 8 第 2 のゲート電極（第 2 の電極）
- 9、1 3 中濃度オフセット領域（中濃度不純物領域）
- 1 0 ソース／ドレイン領域（高濃度不純物領域）
- 1 1 サイドウォール絶縁膜

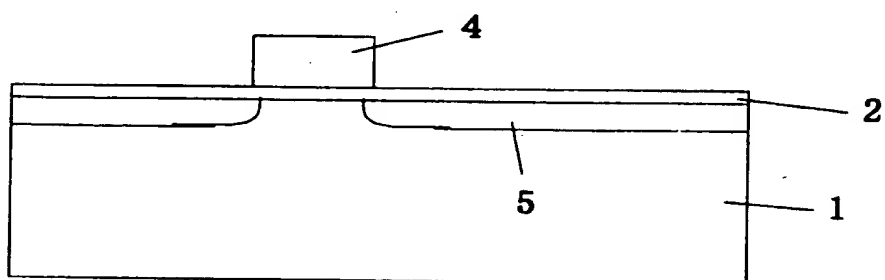
1 2 シリサイド層（導電層）

【書類名】 図面

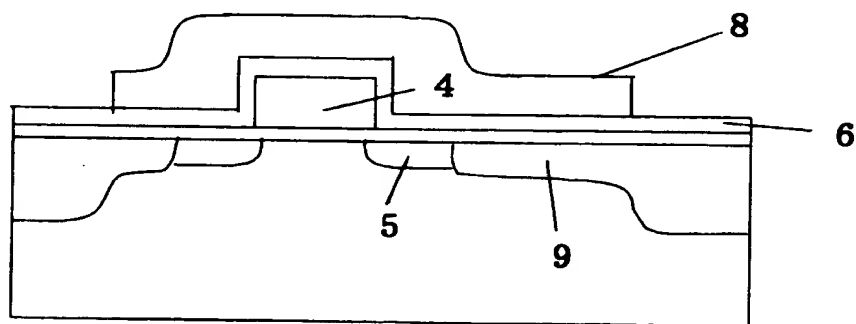
【図 1】



【図 2】

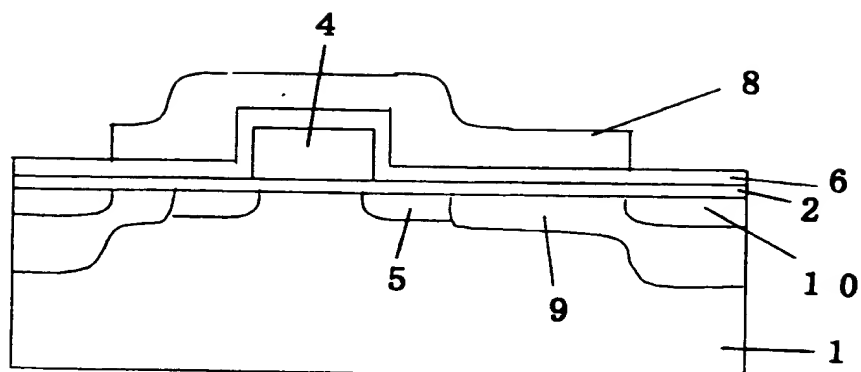


【図 3】

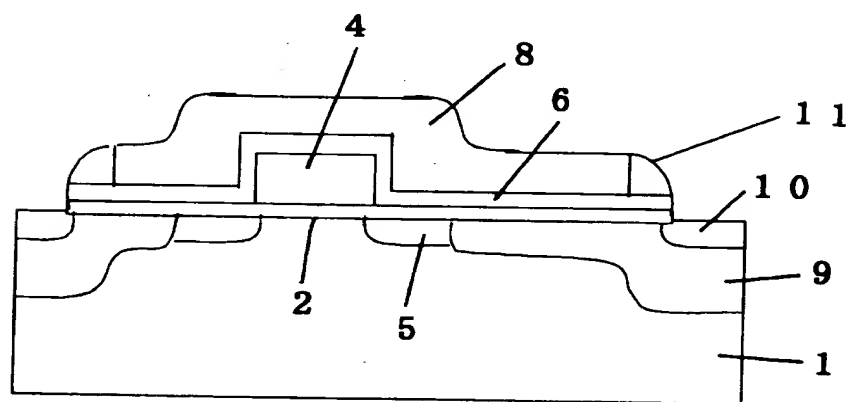




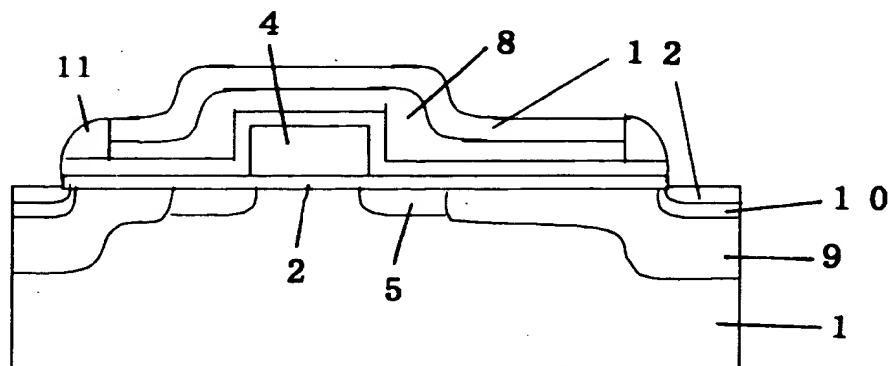
【図4】



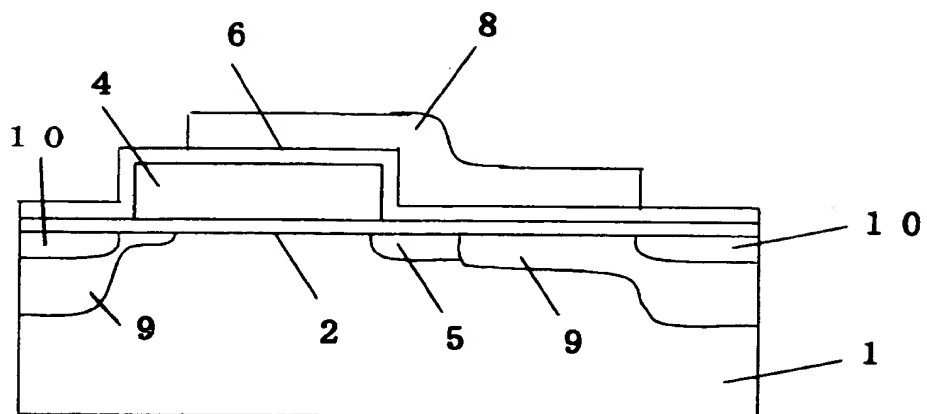
【図5】



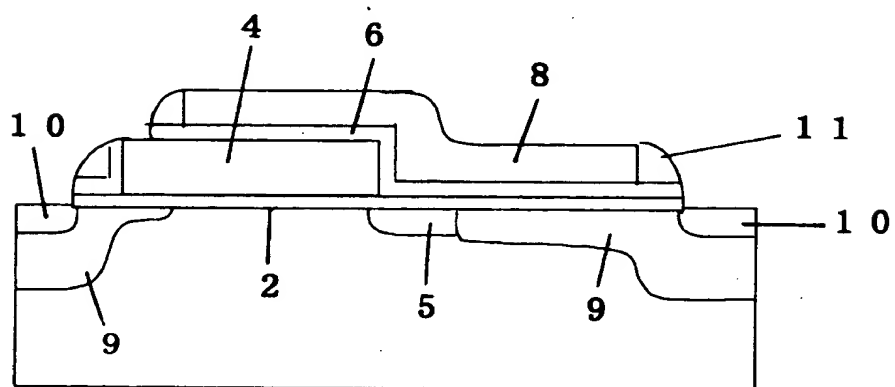
【図6】



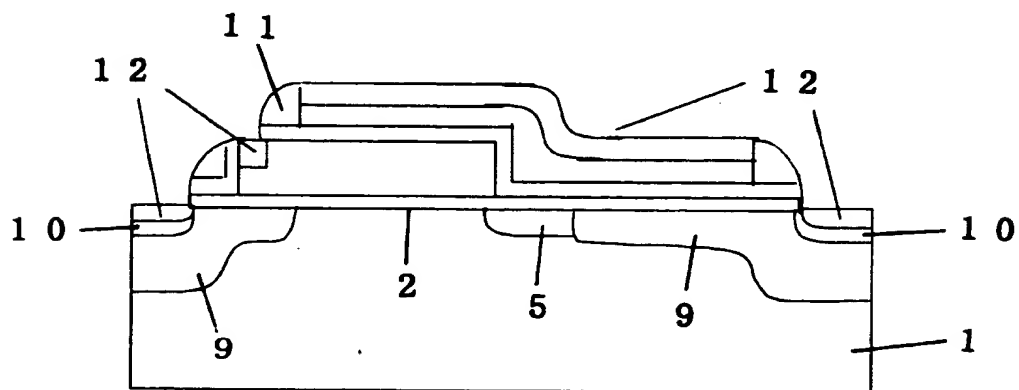
【図 7】



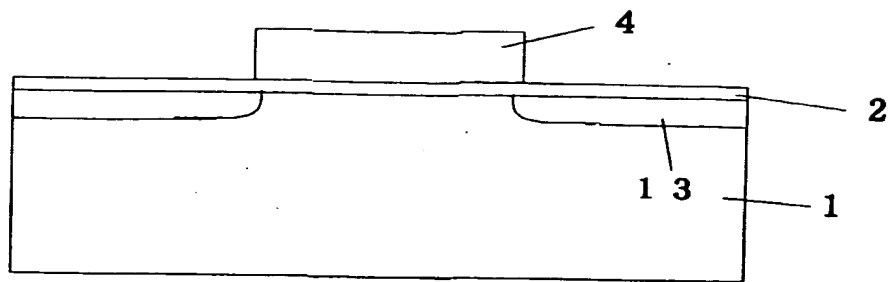
【図 8】



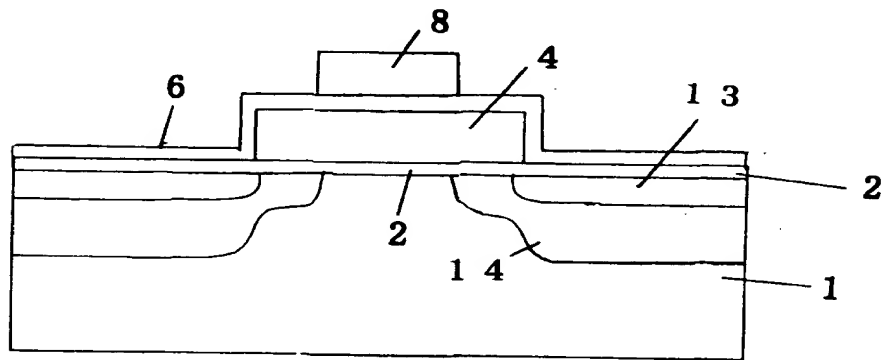
【図 9】



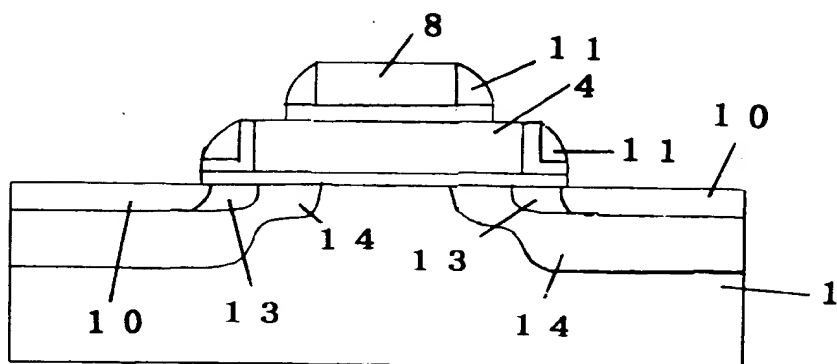
【図10】



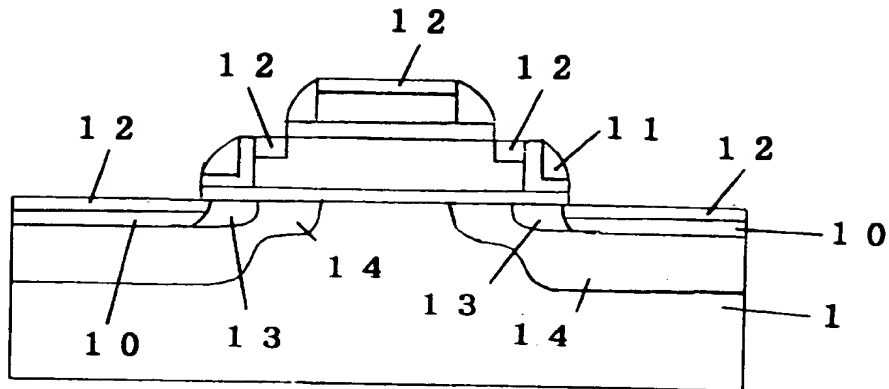
【図11】



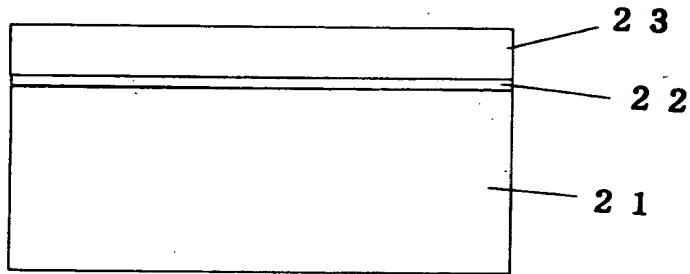
【図12】



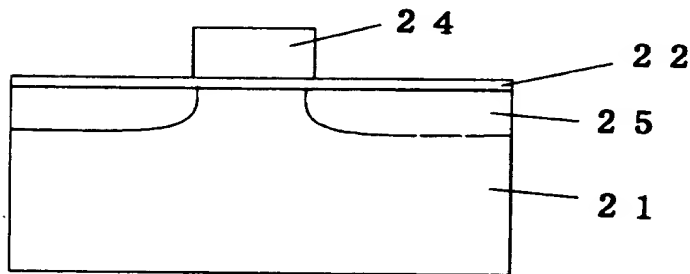
【図 13】



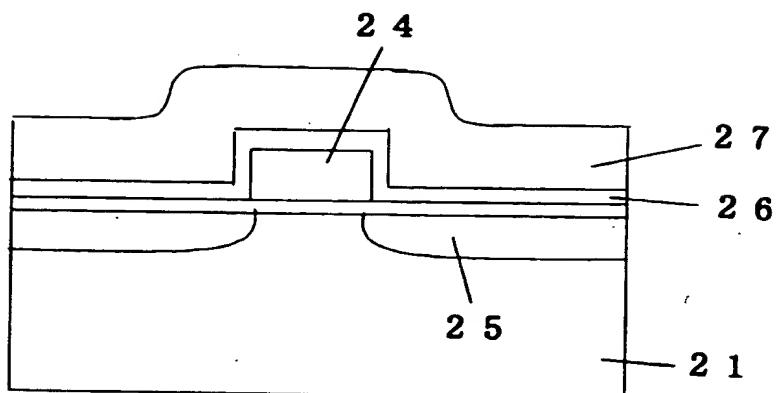
【図 14】



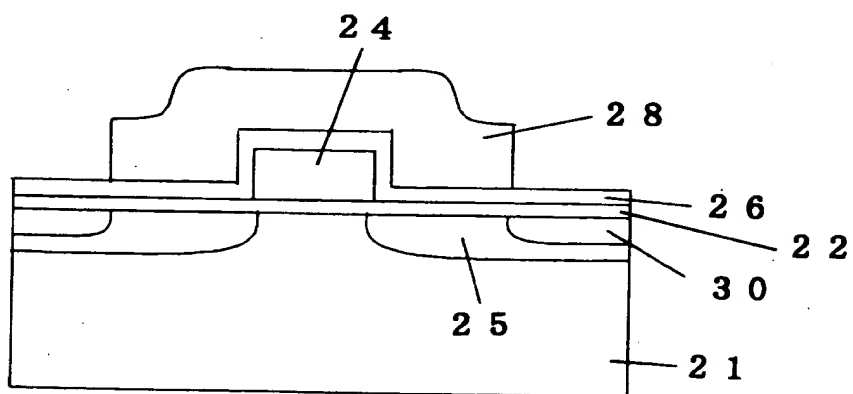
【図 15】



【図16】



【図17】



【書類名】 要約書

【要約】

【課題】 より微細プロセスに適した高耐圧のトランジスタ及びその製造方法を提供することを目的とする。

【解決手段】 第 1 導電型の半導体基板 1 上にゲート絶縁膜 2 を介して形成された第 1 の電極 4 と、少なくとも第 1 の電極 4 上に中間絶縁膜 6 を介して形成された第 2 の電極 8 と、互いに離間して半導体基板 1 に形成された一对の第 2 導電型の不純物領域とからなる半導体装置であって、不純物領域の少なくとも一方が、第 1 の電極 4 直下の領域側から順に低濃度不純物領域 5、中濃度不純物領域 9、高濃度不純物領域 10 を隣接して構成されてなる半導体装置。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日  
[変更理由] 新規登録  
住 所 大阪府大阪市阿倍野区長池町22番22号  
氏 名 シャープ株式会社